第4章

PCI Expressボードの電源設計と高速データ転送技術

マルチ電源ボードの電源設計を習得しよう

鈴木正人，今井 淳

高速データ転送が行えるPCI Expressは，パソコンやサーバだけでなく，検査装置や医療機器などの産業機器にも採用され始めてきた．高速トランシーバを内蔵したFPGAを用いると，PCI Expressのすべての機能を1チップで実現できる．設計期間を短縮し，基板配線効率が向上するためFPGAという選択肢が注目されている．本稿では高速トランシーバ内蔵FPGA（米国Xilinx社Virtex-5）を搭載したx8 PCI Expressアドイン・カードの開発を例にとり，マルチ電源LSIの電源設計やPCI Expressの高速データ転送を実現するためのFPGA設計ついて解説する．（筆者）

1 電源デバイス選定のポイントとノイズ対策

● 開発したPCI Expressボード

今回開発したFPGA搭載PCI Expressアドイン・カード「TB-5V-LX/110T-PCIEXP」の概要を説明します．

FPGAは，米国Xilinx社のVirtex-5 LXT/SXTシリーズの「XC5VLX110T」を搭載しています．本FPGAは高速トランシーバ（RocketIO）を内蔵しており，PCI ExpressやDDR2メモリ，光モジュールなどへの高速伝送を評価できます．またEthernet PHYやデバッガ専用MICTORコネクタによるプロセッサ評価も可能です．本アドイン・カードの特徴を**写真1**に示します．

● コアやRocketIOの電源デバイス選定方法

Xilinx社の高速トランシーバ内蔵FPGAを使ってPCI Expressアドイン・カードを設計するには，RocketIOと呼ばれる高速トランシーバを使います．その際，FPGAに供給する電源の設計が重要となります．本稿では，電源デバイスの選定方法や使用方法について説明します．

- FPGAのRocketIO用の電源デバイス（**写真2**の①）
- 基板外形寸法（CEM Specification）の要求を満たすための部品実装効率が高い3出力スイッチング・レギュレータ（**写真2**の②）
- DDR2 SDRAMの終端に対応した2出力電源（**写真2**の③）
- DC-DCコンバータの1次側入力（12V）に発生するスイッチング・ノイズを低減するためのフェライト・ビーズ（**写真2**の④）

● 専用ソフトウェアを用いて消費電力を見積もる

電源仕様を決定するために，FPGAとほかの部品の消費電力を求める必要があります．本アドイン・カードの設計において最も重要なVirtex-5の消費電力の見積もりには，Xilinx社のソフトウェア「XPower Estimator」を使用しました．以下に示すパラメータを入力すると，デザインの消費電力を早い段階で見積もれます．

- 回路規模（ロジック・セルとフリップフロップの数）
- 動作周波数
- トグル・レート
- 専用機能ブロックの使用数
- 温度条件

今回はXC5VLX110Tをターゲットにし，以下に示す動

KeyWord PCI Express，アドイン・カード，マルチ電源，Virtex-5，RocketIO，DDR2，FPGAコア，DMA転送，フェライト・ビーズ，3端子コンデンサ，MicroBlaze

作条件を想定して消費電力を見積もりました．

- ロジック・リソース使用率93％
- RocketIO使用率100％
  PCI Express x8（2.5Gbps），SFP x2（3.2Gbps），MMCX x2（3.2Gbps），Samtec LVDS高速インターフェース・コネクタ（3.2Gbps）
- DDR2 333MHz
- MicroBraze 100MHz

結果は図1のようになりました（右掲のコラム「スロットの最大消費電力には要注意！」を参照）．今回はPCI Express設計で重要な，①FPGAのRocketIO用電源，②FPGAコア電源，③DDR2用電源，に着目し，説明します．

● 電源仕様と小型化を両立できる電源デバイスを選定

今回開発したボードは，アドイン・カードの基板外形寸法（CEM Specification）を満たす必要がありました．そのため，少しでも実装スペースが小さくなるようにFPGAとDDR2 SDRAMの電源部品を選定しました．

1）RocketIO用電源：2段構成で消費電力を節約

PCI Expressを実現するためには，RocketIOの電源が一番重要です．以下のような注意点があります．

- 信号品質の維持や安定動作のため，ボード上のノイズから遮断する必要がある
- 前述の理由からリプル・ノイズを除去するためにLDO（Low Dropout）リニア・レギュレータを使う必要がある
- RocketIOブロック（GTP_DUAL）ごとに電源ピン近傍

写真1
PCI Expressアドイン・カードの特徴
今回開発したPCI Expressアドイン・カードはVirtex-5 LXT/SXTシリーズのFPGAを搭載し，PCI ExpressやDDR2メモリ，光モジュールなどへの高速伝送が評価できる．本ボードには以下の3種類の設計例が付属する．（1）画像データDMA転送サンプル・デザイン（アドイン・カード→パソコン），（2）RocketIO伝送評価サンプル・デザイン（Aurora，8B10B，PRBS），（3）MicroBlazeから動かす内蔵TEMACサンプル・デザイン

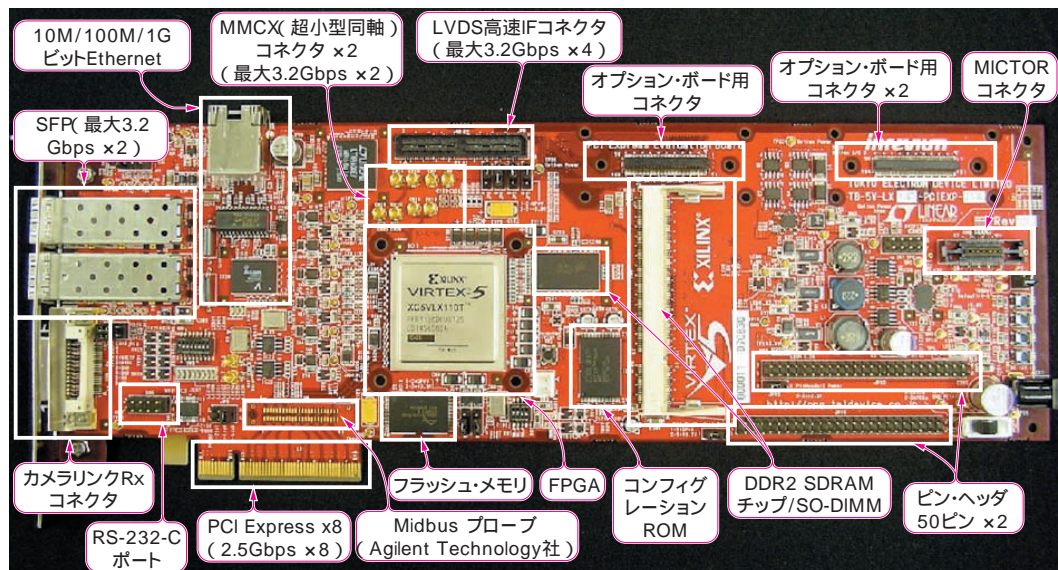



写真2
アドイン・カードで使用している電源デバイス
本ボードに使用した電源デバイスを示す．RocketIOを使用し高速シリアル・インターフェースを実現するためFPGAに供給する電源設計が重要となる．

にローパス・フィルタを接続する必要がある（図2）．

リニア・レギュレータは，消費電力がV_{in}とV_{out}の電圧差に比例します．供給電圧の12V入力から直接1.2Vと1.0Vを生成すると，発熱問題が生じます．そこで，12Vからスイッチング・レギュレータにより1.5Vを生成し，1.5Vからリニア・レギュレータを使って1.2Vと1.0Vを生成する構成としました．

12Vから1.5Vを生成する電源デバイスとして，米国Linear Technology社のLTM4602（6A）とLTM4600（10A）の検討を進めました．両者はピン互換なので，今後，上位互換のFPGAに移行した場合にRocketIOに十分な電流を供給できます．今回はあらかじめ10A品のLTM4600を選定しました．LTM4600は，スイッチング・レギュレータで必要なFETやインダクタを内蔵したDC-DCコンバータ・モジュールです．

LDOリニア・レギュレータとしては，210μV$_{RMS}$と低ノ

図1　PCI Expressアドイン・カード電源仕様

本ボードの電源仕様を示す．XC5VLX110Tをターゲットにし，ロジック・リソース使用率93％，RocketIO使用率100％でPCI Express x8（2.5Gbps），SFP x2（3.2Gbps），MMCX x2（3.2Gbps），Samtec LVDS高速インターフェース・コネクタ（3.2Gbps），DDR2（333MHz），MicroBraze（100MHz）などを想定した．

図2
RocketIO設計における注意点

PCI Expressを実現するために，RocketIO用電源が一番重要となる．リプル・ノイズを除去するためLDOリニア・レギュレータを用いる．高速トランシーバ回路ブロック（GTP_DUALタイル）ごとに電源ピン近傍にローパス・フィルタを接続する必要がある．

スロットの最大消費電力には要注意！

コラム1

表A-1のようにPCI Expressアドイン・カードに供給できるスロットの最大消費電力は用途によって異なります．例えばデスクトップ用x1コネクタでは，12V（0.5A）以上，サーバ用x1，x4，x8，x16では12V（2.1A）以上です．

本ボードはサーバをターゲットにしました．すべてのファンクションをフルに動作させた場合，ワーストケースで消費電力が12V（3.3A）となり，12V（2.1A）を超えてしまいます．

システムを設計する際は消費電力を見積もった上で，使用するスロットの消費電力に注意してください．

表A-1
スロットの最大消費電流

PCI Expressアドイン・カードに供給できるスロットの最大消費電力は用途によって異なる．例えばデスクトップ用x1コネクタでは12V（0.5A）以上，サーバ用x1，x4，x8，x16では12V（2.1A）以上になる．

電源電圧＼最大消費電流	デスクトップ用 x1コネクタ 10W	サーバ用 x1, x4, x8, x16 25W	グラフィックス用 x16コネクタ 75W
3.3V ±9％	3A	3A	3A
12V ±8％	0.5A	2.1A	3.3A
3.3Vaux ±9％	375mA	375mA	375mA

イズであるLinear Technology社のLTC3026を使用しています．LTC3026は，バイアス用にチップ・インダクタが必要になります(5V電源があればインダクタは不要)．しかし，3mm×3mmと小型なことに加え，入出力コンデンサとして低容量のセラミック・コンデンサを利用できるので，設計が簡単です．実装面積を小さくできるため選定しました(**図3**)．

2) FPGAコア用電源：スイッチング電源で小電流化

FPGAのコア電源とI/O電源は，ボードの中で最も電流が必要です．今回の電源仕様としては，12Vを入力して1.0V，2.5V，3.3Vの3種類を出力する必要があります．前述したLTM4600なども候補になりますが，コストと実装面積を考慮して多出力スイッチング・レギュレータIC LTC3773(Linear Technology社)を選定しました．

多出力ICを選択する場合は，3フェーズ動作のICにする必要があります．3フェーズ動作の利点を**図4**に示します．

3フェーズ動作を行う3出力スイッチング・レギュレータの出力は，それぞれ120°位相がずれてスイッチングします．このため，電流パルスが重なり合うオーバラップ時間が大幅に短縮されます．1フェーズに比べ，平均の入力電流が大幅(30%～70%)に減少します．消費電流が少なくなると，安価なバッテリやヒューズ，コンデンサを使用でき，大きなメリットとなります．

今回は，入力耐圧12Vで，3出力20A程度まで供給でき，出力間のトラッキング制御が可能なLTC3773を選定しました(**図5**)．

3) DDR2 SDRAM用電源：終端対応の電源ICで面積を節約

DDR2 SDRAMの駆動電圧は1.8Vです．また，DDR2メモリのI/Oインターフェースである SSTL18-I/IIの終端電圧は0.9Vです(終端用に1.8Vの1/2の0.9Vが必要)．

これらの2電源を2デバイスで供給する方法もあります．今回は実装面積に1番のポイントを置き，DDR/QDRメモリの終端に対応した2フェーズの2出力電源LTC3776(Linear Technology社)を選定しました(**図6**)．

本ICは小型(4mm×4mm)のQFNパッケージです．実装面積を小さくできる点が選定の決め手となりました．

4) フェライト・ビーズによる電源ラインのノイズ対策

PCI Expressアドイン・カードは構造上，エッジから12V電源が入力されています．**図7**のように，ボードの右側に配置した各電源デバイスに12V電源パターンを引き回す必要があります(ボード左側はPCIブラケット部分からケーブルなどが接続されるため，コネクタなどが配置されている)．

今回の場合，DC-DCコンバータの12V入力(1次側)に現れるスイッチング・ノイズを低減するため，フェライ

図3　RocketIO用電源の構成
210μV$_{RMS}$と低ノイズのLDOリニア・レギュレータ「LTC3026」を採用した．バイアス用にチップ・インダクタは必要だが，3mm×3mmと小型で，低容量のセラミック・コンデンサを使えるので実装面積を小さくできる．

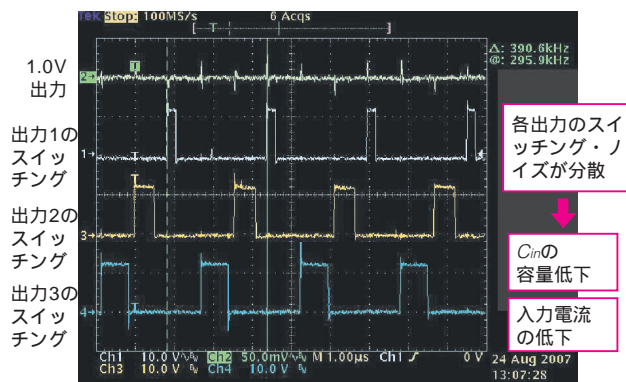



図4　3フェーズ動作の強みを発揮
3フェーズ動作では，3出力スイッチング・レギュレータの三つのチャネルは，120°位相がずれて動作する．1フェーズ動作に比べ，平均入力電流が大幅(30%～70%)に減少する．

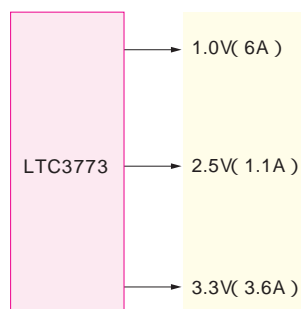



図5　FPGAコア用電源の構成
3出力20Aまで供給できる，12V入力耐圧のLTC3773を選択した．出力間のトラッキング制御が可能であるため，3電源のシーケンス制御も容易．

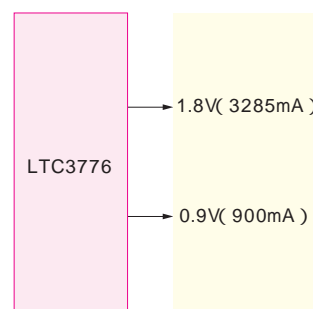



図6　DDR2 SDRAM用電源の構成
DDR2メモリの終端用に1.8Vの1/2の0.9Vを出力する必要がある．今回は基板の実装面積に一番のポイントを置き，DDR/QDRメモリ終端アプリケーション向けの2出力が可能なLTC3776を選定した．

ト・ビーズBLM18SG121TN1(村田製作所)を用いました．

本ビーズには以下の特徴があり，電源ラインのノイズ対策に使えます．

- 大電流が供給でき，直流抵抗が小さい
- 外部電極のはんだ耐熱性に優れている

図8と**図9**のようにスイッチング・レギュレータIC(LTC3773)の12V入力に本ビーズを追加した場合の対策結果を**図10**に示します．波形は12V電源とGNDの電位差です．

フェライト・ビーズによって$2.43V_{p\text{-}p}$のスイッチング・ノイズが$440mV_{p\text{-}p}$まで低減することが分かります．

DC-DCコンバータを用いた電源設計を行う際には1次側入力に現れるスイッチング・ノイズに注意し，フェライト・ビーズを用いた対策が必要となる場合があります．

2 配線パターン設計

PCI Expressをはじめとする高速シリアル・インターフェースは，基板設計によって実際のデータ転送性能に差がでてきます．FPGA(Virtex-5 LXT/SXT)の各電源のパターン作成方法やPCI Expressのピン・アサイン方法などについて説明します．

● 高速トランシーバ用電源にフィルタを挿入

1) RocketIO電源の種類と電源パターン

PCI Expressを設計するのに重要な高速トランシーバ(RocketIO)は，**表1**に示すように，1.2Vと1.0Vの2電源を3種類の電源プレーンに分けています．Virtex-5におけるRocketIO電源のパターン作成例を，**図11**に示します．

Virtex-5は従来のFPGAと比べ，FPGAの左側部分にRocketIO電源が集まって配置されています．RocketIO回路ブロック(GTP_DUAL)ごとに電源パターンを三つに分けています．Aは1.0V，Bは1.2V，Cは1.2Vの電源パターンになります．

Pro
1
2
3
4
5
App1
App2

図7　12V電源パターン
PCI Express基板の構造上，エッジから12V電源が入力され，ボードの右側部分に配置した電源デバイスに12V電源パターンを引き回す必要がある．ボード左側は各種外部インターフェースのコネクタなどを配置した．

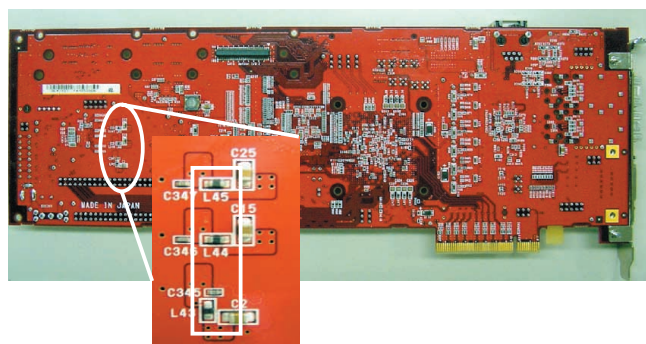



図8　フェライト・ビーズによる対策
ボード右側に配置されているDC-DCコンバータの1次側入力(12V)に現れるスイッチング・ノイズを低減するため，フェライト・ビーズBLM18SG121TN1(村田製作所)を用いてノイズ対策を行った．

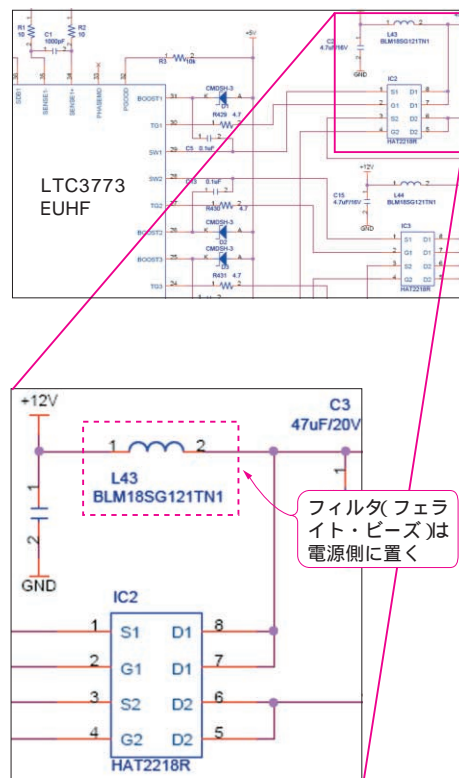



図9　LTC3773フェライト・ビーズによる対策
DC-DCコンバータの1次入力側にフェライト・ビーズBLM18SG121TN1を実装しノイズ対策を行った

(a) フェライト・ビーズなし

(b) フェライト・ビーズあり

図10 12V電源フェライト・ビーズによる対策結果
フェライト・ビーズによって，図(a)に示す2.43Vp-pのスイッチング・ノイズが図(b)に示す440mV_{p-p}まで低減した．

2) RocketIO用電源のローパス・フィルタの構成

RocketIO電源はRocketIO回路ブロック(GTP_DUAL)ごとに設定されています．Xilinx社は，GTP_DUALごとにフェライト・ビーズとコンデンサによるローパス・フィルタを構成することを推奨しています．

表1 RocketIO用電源の種類
Virtex-5の高速トランシーバ(RocketIO)には，1.2V(MGTAVCC_PLL，MGTVTT_TX，MGTVTT_RX，MGTVTT_RXC)，1.0V(MGTAVCC)の2電源が必要になる．

RocketIO専用ピン	説　明
MGTAVCC	GTP_DUALタイルのアナログ電源
MGTAVCC_PLL	PLLとREFCLK分配用電源
MGTVTTRX	Rx回路と終端用電源
MGTVTTTX	Tx回路と終端用電源
MGTVTTRXC	レジスタ・キャリブレーション用電源(デバイスにつき1ピン)

今回は，コンデンサとして高周波特性に優れた3端子コンデンサNFM18PC224R0J3(村田製作所製)とフェライト・ビーズBLM18EG221SN1(村田製作所製)を用いてローパス・フィルタを構成しました．

2個のGTP_DUALに対して1個のローパス・フィルタを構成できるので，部品の実装点数を減らせます．

またRocketIO電源から発生したすべてのノイズが3端子コンデンサを通過することになり，ノイズ対策を効果的に行えます．(**図12**)

3端子コンデンサはESL(等価直列インダクタンス)が低いことが特徴です．その性能を生かすには基板上のパターンのESLを低くする必要があります．以下に3端子コンデンサを使用した基板設計のポイントを説明します(**図13**)．

図11 PCI Express部のRocketIO電源
従来のFPGAと比べVirtex-5は，FPGAの左側部分にRocketIO電源が集まって配置されており，GTP_DUALタイルごとに電源パターンが分かれている．AはMGTAVCC 1.0V，BはMGTVCC_PLL 1.2V，CはMGTVTT_TXRX 1.2Vの電源パターンを示す．

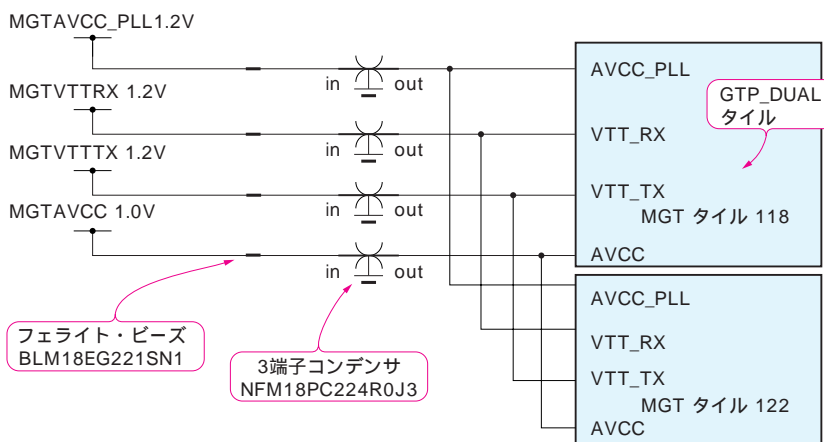



図12 RocketIO電源のローパス・フィルタの構成
本ボードでは，コンデンサとして高周波特性に優れた3端子コンデンサ「NFM18PC224R0J3」(村田製作所)とフェライト・ビーズ「BLM18EG221SN1」(村田製作所)を用いてローパス・フィルタを構成した．

- グラウンドのビア・ホールを複数設置するとビア・ホールのESL低減に効果的
- 表層とグラウンドの層間をできるだけ小さくする（グラウンドのビア・ホールの長さを短くする）とESL低減に効果的
- FPGA直下のRocketIO電源パターン周辺をグラウンド・パターンによって分離するとFPGA側で発生したノイズの閉じ込め効果がある

実際のレイアウトを図14に示します．

● FPGAコア用電源に3端子コンデンサを利用

本ボードでは，FPGAのコア電源（1.0V）を安定供給する必要があります．そのためにはパスコンの設置が重要です．Xilinx社のVirtex-5 PCB Designer's Guideにはパスコンの必要個所や使用個数について記載されています（http://direct.xilinx.com/bvdocs/userguides/ug203.pdf）．

本資料を参照した場合，例えばVirtex-5のXC5VLX110T FF1136では，コア電源用のパスコンとして0.22μFが17個必要です．

本ボードの設計では，コア電源がFPGAの真ん中に集まって配置されていることに着目しました．FPGA直下のコア電源パターンと直流電源の間に3端子コンデンサを介すことにより，効率的にノイズ対策を行えました．0.22μFのパスコンを17個から2個に削減できました（図15）．

● DDR2用電源にベタ・パターンを使用

ここでは本ボードのDDR2 SDRAM用電源パターンについて解説します．

今回使用したFPGAの真ん中のバンクは，コンフィグレーション/クロック入力が中心のI/Oなので，DDR2メモリ・インターフェースとしては使用しません．チップの右側バンクを使用しました．

DDR2メモリのDQ/DSの等長配線は，形状やサイズ，ほかの部品との位置から実装上厳しい点があります．本ボードでは，FPGA-DDR2メモリ間の等長配線で膨らんだパターンを覆うようにDDR2メモリ部を全面ベタにしました．1.8VのV_{tt}電源には負荷（ノイズ源）近傍にパスコンを配置しました（図16）．

● PCI Expressエッジの配線は表層のみを使用

Viretex-5のPCI Expressエンドポイント・ブロック内には，リンクの初期化時に自動的に極性を反転させる回路が含まれています．差動信号のTxの＋側をRxの＋側

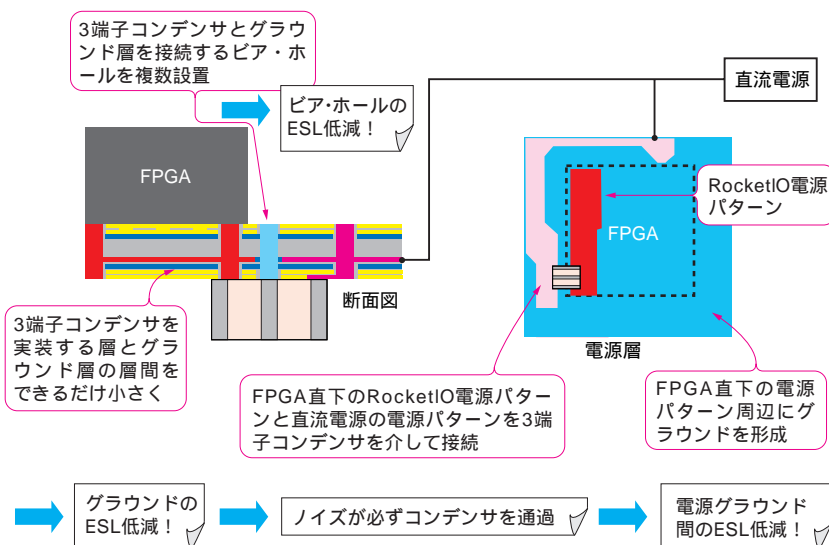



図13 3端子コンデンサのレイアウト

3端子コンデンサはESL（等価直列インダクタ）が低いことが特徴である．その性能を生かすには基板上のパターンのESLを低くすることでより効果的にノイズ対策が行える．3端子を使用した基板設計のポイントを示す．村田製作所提供．

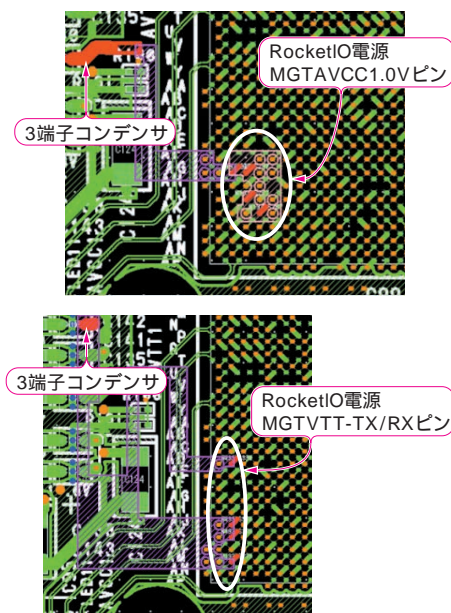



図14 RocketIO用電源パターン

高速トランシーバ回路ブロック（GTP_DUALタイル）二つごとに，FPGA直下のRocketIO電源パターンとMGT用直流電源の電源パターンを，3端子コンデンサを介して直列に接続している．各RocketIO電源ピンと3端子コンデンサとの接続パターンを示す．アイカ工業提供．

図15　FPGAコア用電源パターン
コア電源がFPGAの真ん中に集まって配置されていることに着目した．FPGA直下のコア電源パターンと直流電源の間に3端子コンデンサを介することにより，0.22μFのパスコンを17個から2個に削減できた．アイカ工業提供．

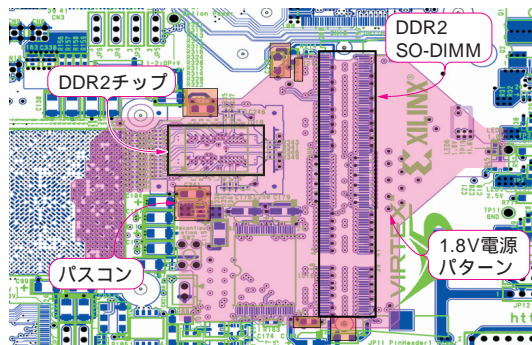
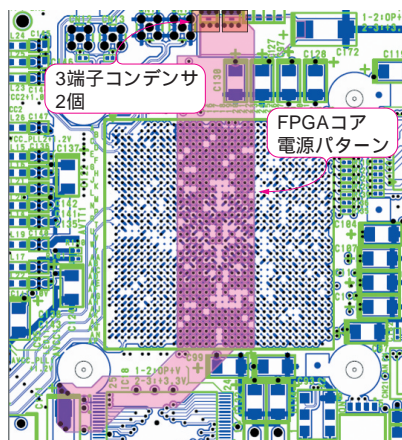
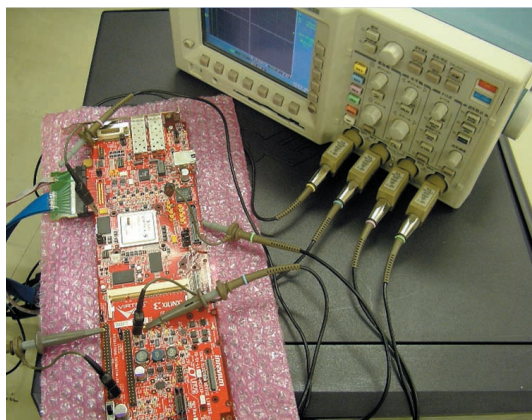



図16　DDR2用電源パターン
FPGA-DDR2間の等長配線で膨らんだパターンを覆うようにDDR2部を全面ベタにした．1.8VのV_{tt}電源には負荷（ノイズ源）近傍にパスコンを配置した．アイカ工業提供．

PCI Expressパワーアップ・シーケンス

コラム2

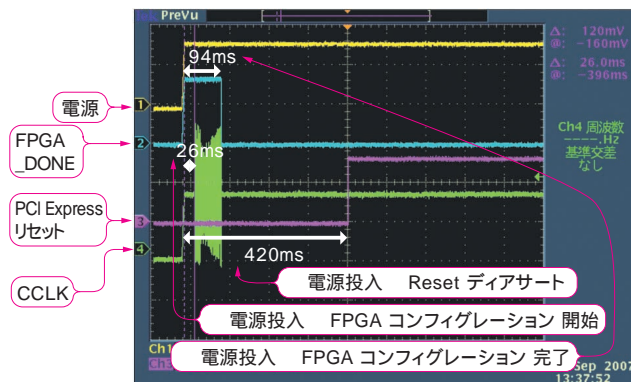
写真B-1　PRECISION670での実測検証時の様子

写真B-1　PRECISION670での実測検証時の様子
筆者らは実際にDell社のパソコンPRECISION 670を使用し，今回開発したボードのCCLKの周波数とコンフィグレーション時間を測定した．

FPGAを使用したPCI Expressボードの設計では，コンフィグレーションROMからFPGAにデータをロードする時間に注意が必要です．PCI Express規格では，パソコンの電源立ち上がりからPCI Expressリセットが解除されるまで100ms以上となっています（**図B-1**）．PCI Expressリセットが解除される前に，FPGAのコンフィグレーションが完了しなければなりません．

FPGAの回路規模が増えればコンフィグレーション時間も増えます．システムを設計する場合，FPGAのコンフィグレーション時間に注意する必要があります．

例えば，XC5VLX110Tを例にとった場合を説明します．コンフィグレーション・モードがMaster Select MAP（8ビット）の場合，標準CCLKに対する出力周波数偏差は±50％となっています（**表B-1**参照）．

よって計算上では，コンフィグレーション・レートを27MHzに設

図B-2　PRECISION 670の実測値（コンフィグレーション・レート27MHz）
Dell社のPRECISION 670で測定した結果，パソコンの電源立ち上がりからPCI Express Resetが解除されるまで420msとなった．コンフィグレーション・レートを27MHzに設定した場合，ロード時間は150msとなった．

図B-3　PRECISION670の実測値（コンフィグレーション・レート49MHz）
コンフィグレーション・レートを49MHzに設定すると，CCLKの周波数は31.3MHz，ロードする時間は94msとなり，100ms以内にコンフィグレーションできる．

に，一側を一側につなげる必要はありません．本評価ボードでは，クロス配線を避けるため**図17**のように接続しています．

本評価ボードでは，部品実装効率を向上し，スタブが短くなるように8ペアのPCI Express差動信号を何層かに分けて配線しました．

PCI Expressエッジ-Midbusプローブ間において，RocketIO入力信号はすべてL1（部品実装面）に配線しました．Midbusプローブ-FPGA間は，L1に4ペア，L10に3ペア，L12に1ペア配線しました〔**図18（a）**〕．

同様にPCI Expressエッジ-Midbusプローブ間において，RocketIO出力ピンはすべてL12（はんだ面）に配線しました．Midbusプローブ-FPGAは，L12に4ペア，L3に4ペア配線しました〔**図18（b）**〕．

PCI Express差動配線設計状態を以下に示します．

差動インピーダンス：100 Ω
最大配線長：83.0mm
最小配線長：47.3mm
Txレーン間スキュ：33.0mm
Rxレーン間スキュ：33.3mm

Pro
1
2
3
4
5
App1
App2

定した場合，CCLKの周波数は最小で13.5MHz，最大で40.5MHzになります．

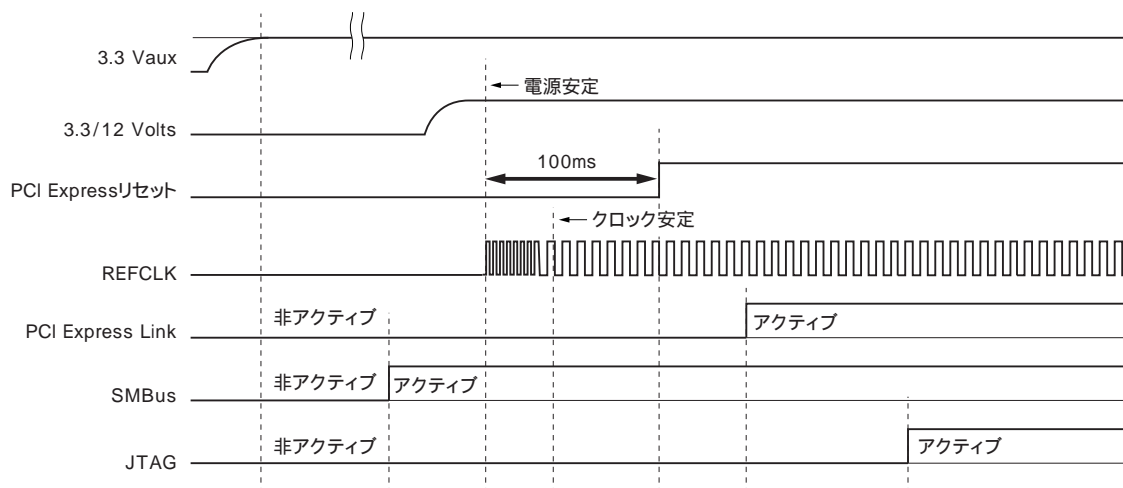
筆者らは実際にDell社製のPRECISION 670を使用し，本ボードのCCLKの周波数，コンフィグレーション時間を測定しました（**写真B-1**）．その結果，パソコンの電源立ち上がりからPCI Expressリセットが解除されるまでの時間は420msでした．

CCLKのコンフィグレーション・レートを27MHzに設定した場合，CCLKの周波数は31.3MHzで，コンフィグレーションROMからFPGAにデータをロードする時間は150msとなりました（**図B-2**）．

またコンフィグレーション・レートを49MHzに設定した場合，CCLKの周波数は31.3MHzで，FPGAにロードする時間は94msとなりました．100ms以内にコンフィグレーションが可能です（**図B-3**）．

表B-1　FPGAのコンフィグレーション・レートの例（XC5VLX110T）

コンフィグレーション・モードがMaster Select MAP（8ビット）の場合，標準CCLKに対する出力周波数偏差は±50％である．CCLKのコンフィグレーション・レートを27MHzに設定した場合，CCLKの周波数は計算上，最小で13.5MHz，最大で40.5MHzになる．

コンフィグレーション・レート（MHz）	最低周波数（MHz）	最高周波数（MHz）
2	1	3
17	8.5	25.5
27	13.5	40.5
35	17.5	52.5
49	24.5	73.5
60	30	90

図B-1　PCI Expressパワーアップ・シーケンス

FPGAを使用したPCI Express設計では，PROMからFPGAにデータをロードする時間に注意が必要．PCI Express規格では，パソコンの電源立ち上がりからPCI Expressリセットが解除されるまで100ms以上となっている．PCI Expressリセットが解除される前に，FPGAのコンフィグレーションが完了している必要がある．

最大ペア内スキュ：0.085mm

● 表層はBGAピン間1本，内層は2本で信号を引き出す

Virtex-5はボール・ピッチが1.00mmで完全にアレイ配列されたフリップチップBGAパッケージを提供しています．ボード上でこれらのLSIを効率良く配線することは設計者にとって困難な課題です．本ボードの設計では，高速インターフェース部分の配線を優先し，配線に必要な層数を最適化しました．

1mmピッチBGAの配線引き出しに必要な層数の目安を**表2**に示します．例えば本ボードのように，1136ピンのパッケージを用いる場合，10列の信号を配線するのに最低8層必要です．本ボードではPCI Express/SFP/MMCXコネクタ，DDR2などの配線も含め，トータル12層になりました．

L1（部品面）ではBGAピン間に配線1本で，内層ではピン間に配線2本で引き出しています（**図19**）．

3 高速データ転送のためのFPGA設計

PCI Expressにおいて広帯域の転送を行う場合，CPUなどを介さずにメモリ間で直接データをやりとりするDMA（Direct Memory Access）が必須です．ここではFPGAを用いたPCI ExpressのDMA転送実現例を解説します．

● ハード・マクロを用いてサンプル・デザインを構成

DMA転送回路の実現例として本ボード「TB-5V-LX110T-PCIEXP」のサンプル・デザインについて解説し

（**a**）極性を反転せず接続した場合

（**b**）極性を反転し接続した場合

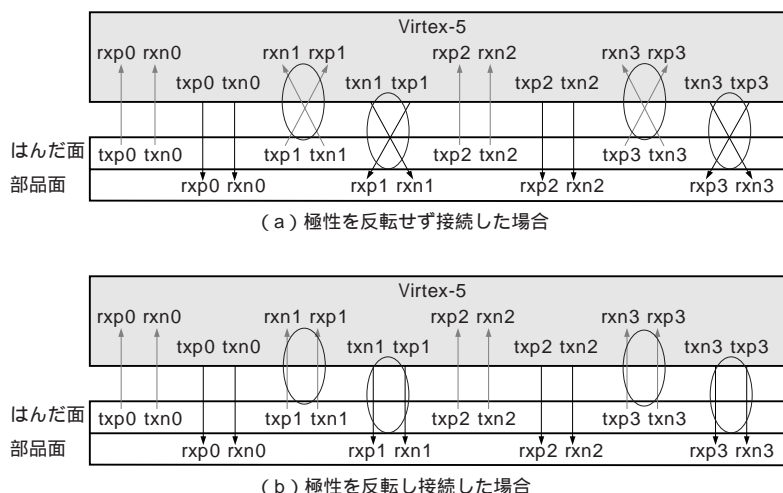



図17　Virtex-5によるPCI Expressピン・アサイン

リンクの初期化時にRx側が対応するので，（**a**）のようにTxの＋側をRxの＋側に，－側は－側につなげる必要はない．本ボードでは，クロス配線を避けるため（**b**）のように直接接続した．

表2　BGAの配線引き出しに必要な層数

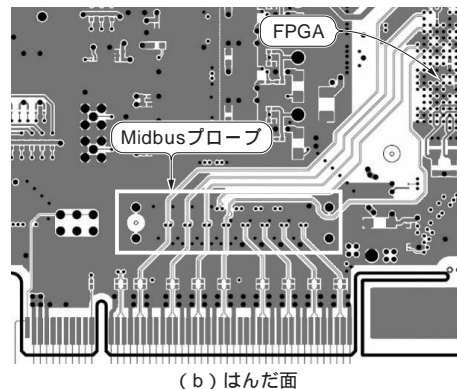
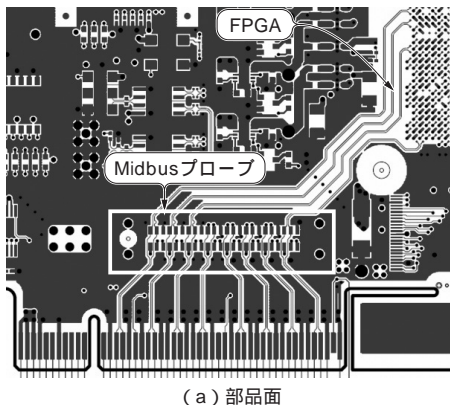
1mmピッチBGAパッケージの配線引き出しに必要な層数の目安を示す．例えば，1136ピンのFPGAでは10列の信号を配線するのに最低8層以上必要となる．アイカ工業提供．

BGAピン数	256	676	1156	1521
配　列	16×16	26×26	34×34	39×39
引き出し配列	6列	8列	10列	14列
BGAピン間1本	4層	6層	8層	12層
BGAピン間2本	2層	3層	4層	6層

（**a**）部品面

（**b**）はんだ面

図18　PCI Expressの配線

部品実装効率の向上とスタブが短くなる様にPCI Express配線層を何層かに分けた．FPGAから見たときRocketIO入力ピンが部品実装面側のPCI Expressエッジ～Midbusプローブ間8ペアは（**a**）のようにL1に配線した．同様にRocketIO出力ピンがはんだ面側のPCI Expressエッジ～Midbusプローブ間8ペアは（**b**）のようにL12に配線した．

ます．サンプル・デザインはDVI入力した画像をDDR2メモリでバッファし，PCI ExpressにてDMA転送する回路構成になっています．DMA転送回路はPCIE_USERで構成しています（**図20**）．

PCI ExpressはXilinx社の「LogiCORE PCI Express Endpoint Block plus」を使用して実現しています．これはVirtex-5のハード・マクロを使用するため，無償で使用できます．CoreGeneratorというXilinx社のツールを使用すれば，マクロをGUI上で設定できます（**図21**）．

ハード・マクロを使用しているためPCI Express部分の論理ブロック使用量が少なくなります．例えばソフト・マクロを使用した場合にはおよそ5000スライスなのに対して，ハード・マクロの場合は1000スライス程度です（**図22**）．XC5VLX50Tの場合，サンプル・デザインのスライス使用率は43%と，ソフト・マクロを使用した場合と比べて少なくてすみます．

（**a**）部品面　（**b**）内層

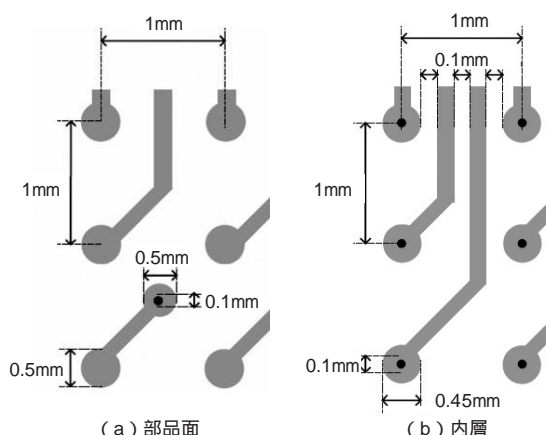



図19　BGAパッケージの配線

部品面ではピン間1本で引き出し，内層ではピン間2本で引き出している．本来，1列目，2列目までは部品面側（L1層）だけで引き出せるが，本ボードでは高速インターフェース部分など差動配線が多いため，スルー・ホールでほかの層へ切り返して配線した．アイカ工業提供．

図21　CoreGeneratorによるIPコアの設定

Xilinx社のIPコアはこのGUIから設定および生成を行う．

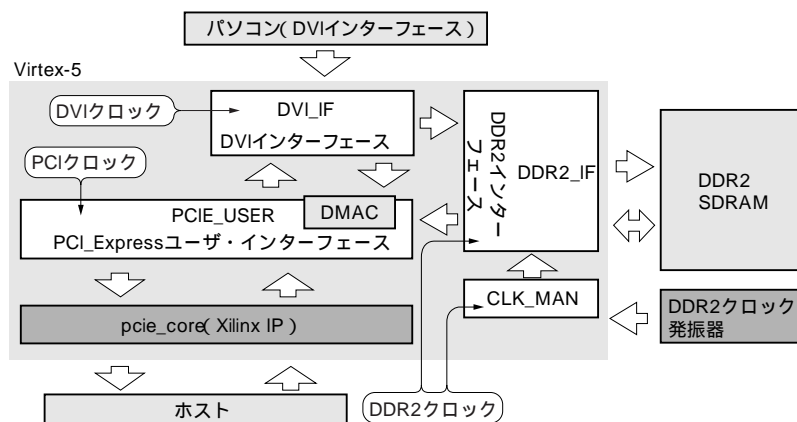
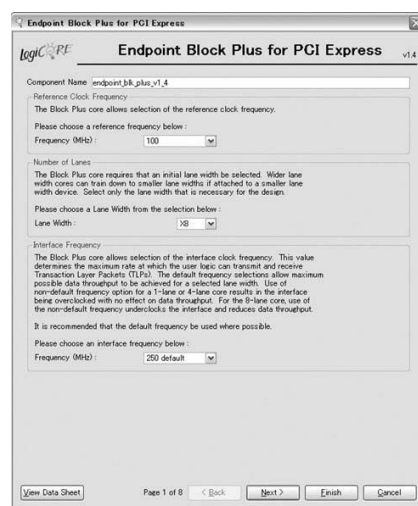



図20　全体構成図

「TB-5V-LX110T-PCIEXP」のサンプル・デザインの全体構成を示す．Xilinx社のLogiCORE PCI Express エンドポイント Block Plusを使用してPCI Expressを実現している．IPコアのユーザ・インターフェース部分にてDMAコントローラ（DMAC）を構成．

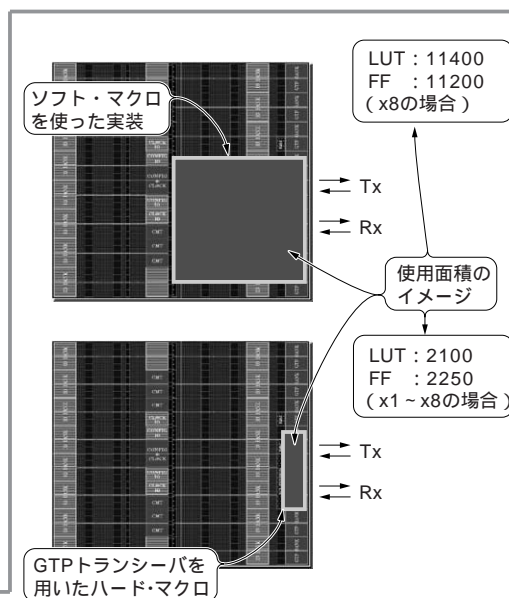



図22　ソフト・マクロとハード・マクロ比較

ソフト・マクロとハード・マクロを使用したときのリソース使用率の例を示す．ソフト・マクロに比べてハード・マクロではFPGA内のデバイス使用率を抑えられる．

デバイス	スライス	BlockRAM	BUFG	GTP_DUAL	PLL_ADV	PCIE_
XC5VLX50T	3144/7200（43%）	25/60（41%）	7/32（21%）	4/6（66%）	1/6（16%）	1/1（100%）
XC5VLX110T	3286/17280（19%）	25/148（16%）	7/32（21%）	4/8（50%）	1/6（16%）	1/1（100%）

図23
DMA転送アクセス・フロー
サンプル・デザインでのDMA転送のアクセス・フローを示す．1回のDMAにおいて1フレームの画像を転送する．1ラインずつDPRAMにバッファし，PCI Expressで転送している．

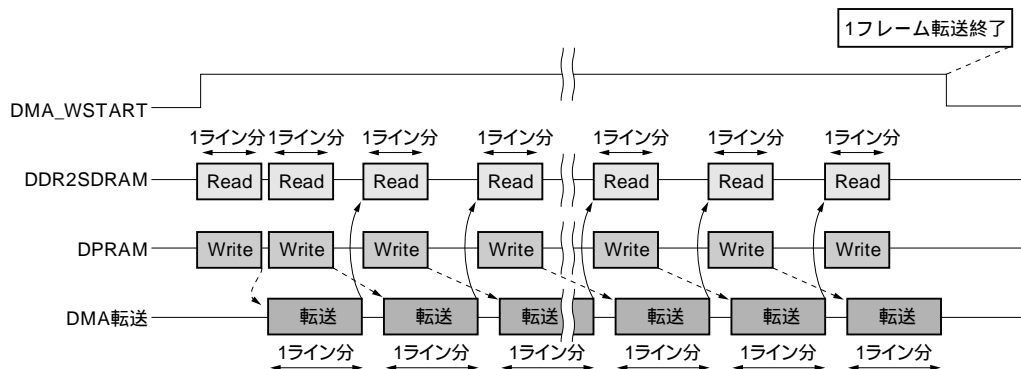



表3　サンプル・デザインでの転送速度（Dell社XPS 710にて評価）

画像サイズ	レーン数	フレーム・レート（フレーム/s）	転送レート（Mbps）
QVGA	×1	690	207
	×4	2570	775
	×8	4200	1282
VGA	×1	173	208
	×4	664	798
	×8	1080	1324
XGA	×1	67	209
	×4	262	806
	×8	430	1328

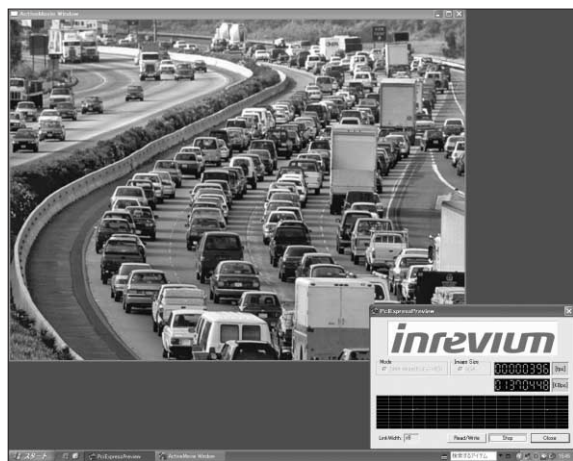



図24　アプリケーション・ソフトウェア起動画面
サンプル・デザイン評価用のアプリケーションを示す．アプリケーションGUI上で，転送速度，フレーム・レート，転送画像を確認できる．

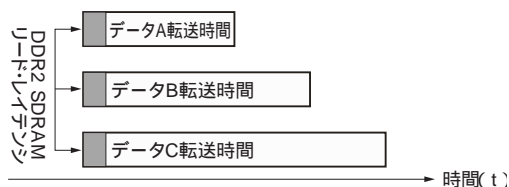



図25　転送速度計算イメージ
1回のDMAで考えた際，SDRAMのリード・レイテンシなど転送データに依存しない部分は，1回のDMAにかかる時間が短いほど転送速度に影響を与える．

● サンプル・デザインのDMA転送速度を測定

サンプル・デザインでは，エンドポイント側から連続してメモリを書き込むDMA転送を実現しています．手順は以下の通りです．

(1) 1ライン分のデータの保存を完了したらDMA転送をスタート
(2) データ転送の間にもう一つのDPRAMにデータを保存（**図23**）

1回のDMAにおいて1フレームのデータ転送を行っており，1フレームのデータ量をMax Payload Sizeで分割して転送しています．

サンプル・デザインと米国Dell社のパソコンXPS 710を使った場合の転送速度は，x1で約200Mbps，x4で約780Mbps，x8で約1300Mbpsと算出されました（**表3**）．転送速度の算出には専用のソフトウェアを使用しました（**図24**）．

転送速度は接続先のシステムに依存する部分があります．設計を始める前にアドイン・カードと接続先のシステムを使って転送速度の目安を確認することも良いのではないでしょうか．

転送速度の計算にはDDR2にデータをバッファする時間も含まれています．DDR2へのリード・コマンド発行からデータ出力までの時間は，画像サイズやレーン数に依存しません．オーバヘッドとなる割合が1DMA転送にかかる時間によって変わります．

図25に転送速度計算のイメージを記しました．データ転送を行っている時間をデータC＞データB＞データAとすると，データCに比べデータAの方がDDR2のリード・レイテンシが転送時間に占める割合が大きくなります．データCの方が，転送効率が良いといえます．

今回のサンプル・デザインは，3種類の画像サイズを選

表4　チップセットの持つMax Payload Sizeの例

チップセット	最大ペイロード・サイズ（バイト）
Intel E7525	256
Intel 955X Express	128
Intel 975X Express	128
Intel 3000	128
Intel 5000p	256

表5　転送速度とペイロード・サイズの関係（×4）

ペイロード・サイズ（バイト）	転送レート（Mbps）	理論値との比
32	569	56.90%
64	706	70.60%
128	792	79.20%

択できる（1回のDMAによる転送データ量が変化する）ため，DMA転送を開始してからDDR2のリードを開始します．転送データ量が一定であればDMA転送の開始前からDDR2のバッファを行い，転送効率を上げられます．

● パケットの最大データ転送量を最適に設計

トランシーバは，最大データ転送量（Max Payload Size）を超えるデータ量のTLP（Transaction Layer Protocol）を生成してはいけません．レシーバは，設定された値と同じサイズのデータ量（TLPあたり）を処理する必要があります．規格上設定可能なデータ量は128～4096バイトです．

ただし実際の転送の際のMax Payload Sizeは，エンドポイントのみで決定するわけではありません．接続相手のMax Payload Sizeにも影響されます．

転送時のMax Payload Sizeがどのように決定されるのか，一例を示します．エンドポイントのMax Payload Sizeが4096バイトで，接続相手（チップセット）のMax Payload Sizeが128バイトの場合，転送時のMax Payload Sizeは128バイトになります（小さい方のMax Payload Sizeが採用される）．

エンドポイントのMax Payload Sizeと転送時のMax Payload Sizeは以下に記されています．

エンドポイントのMax Payload Size：Device Capabilities Register［2:0］（Base Specification 7.8.3）

転送時のMax Payload Size：Device Control Register［7:5］（Base Specification 7.8.4）

Device Control Register［7:5］の値はPCIコンフィグレーション後に決定します．

表4にチップセットの持つMax Payload Sizeの例を示します．現在，パソコンに搭載されているチップセットのMax Payload Sizeは，128バイトと256バイトの2種類です．エンドポイントとしては，512バイトのMax Payload Sizeを持っていれば十分だといえます．

TLPのPayloadとして128バイト，64バイト，32バイトの3種類のサイズでDMA転送を行った結果を**表5**に示します．x4で，すべて同じ条件で測定しています．Payloadのサイズが小さいほど転送速度が低くなっていることが確認できます．

この結果から，広帯域の転送を行うためには，一つのTLPに許容される最大のPayloadを乗せることが好ましいと分かります．

すずき・まさひと
いまい・あつし
東京エレクトロン デバイス株式会社

<筆者プロフィール>
鈴木正人．東京エレクトロン デバイス株式会社，スペシャリストグループリーダー．高速インターフェース担当．
今井 淳．東京エレクトロン デバイス株式会社，スペシャリストグループ．今回のボード開発担当．

DESIGN WAVE MOOK　好評発売中
組み込みソフトウェア開発スタートアップ
ITエンジニアのための組み込み技術入門
Design Wave Magazine編集部 編　B5変型判 244ページ　定価2,310円(税込)　JAN9784789837194
CQ出版社　〒170-8461 東京都豊島区巣鴨1-14-2 販売部 ☎(03)5395-2141 振替 00100-7-10665